

<p>(51) 国際特許分類6 G06F 17/50</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/12655</p> <p>(43) 国際公開日 1998年3月26日(26.03.98)</p>
<p>(21) 国際出願番号 PCT/JP96/02657</p> <p>(22) 国際出願日 1996年9月17日(17.09.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 鈴木勝喜(SUZUKI, Katsuyoshi)(JP/JP) 〒259-13 神奈川県秦野市渋沢518-2 Kanagawa, (JP) 檜山 徹(HIYAMA, Toru)(JP/JP) 〒243 神奈川県厚木市中町1-6-1-704 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p>		<p>(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: METHOD OF SUPPORTING ARRANGEMENT OF SEMICONDUCTOR INTEGRATED CIRCUIT</p> <p>(54) 発明の名称 半導体集積回路の配置支援方法</p> <p>(57) Abstract A technique that allows a logic designer to perform in a short period of time an optimum arrangement, in terms of processing speed, of logic elements of a semiconductor integrated circuit. Logic blocks are arranged at desired locations on the display screen and the relation of connection among the logic blocks is displayed, using a logic block file which includes at least the names of logic blocks, the logic sizes and the connection relation among logic blocks. Referring to a logic block relation table, the logic designer can easily recognize the adequacy of the arrangement.</p> <div data-bbox="808 1249 1481 1726"> </div> <p>a ... Logic block names b ... Option c ... Wiring</p>		

本発明は、半導体集積回路の処理速度に関して、より最適な半導体集積回路の論理素子配置を、論理設計者の意に沿って短時間に実施する技術を提供することを目的とする。

表示画面上に論理ブロックを配置する際、少なくとも論理ブロックの名称、論理規模、他論理ブロックとの接続関係の情報よりなる論理ブロックファイルを使って、所望の論理ブロックを表示画面上の任意の場所に配置し、論理ブロックファイルにより論理ブロック間の接続関係を表示させる。その際に、論理ブロック間関係テーブルにより配置位置の適・不適が容易に認識できるように表示する。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	SI	スロベニア共和国
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英国	LU	ルクセンブルグ	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スワジランド
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャード
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GW	ギニアビサウ	MK	マケドニア旧ユーゴス	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	ML	マリ	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MR	モリタニア	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CG	コンゴ	IS	アイスランド	MX	メキシコ	US	米国
CH	スイス	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CI	コート・ジボアール	JPE	日本	NL	オランダ	VN	ヴェトナム
CN	中国	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CU	キューバ	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ共和国	KPR	朝鮮民主主義人民共和国	PL	ポーランド		
DE	ドイツ	KR	大韓民国	PT	ポルトガル		
DK	デンマーク	KZ	カザフスタン	RO	ルーマニア		
EE	エストニア	LC	セントルシア	RU	ロシア連邦		
		LI	リヒテンシュタイン	SD	スーダン		

明 細 書

半導体集積回路の配置支援方法

5

技術分野

本発明は、半導体集積回路の論理素子配置処理方法に係わり、特に論理素子もしくは論理素子群の配置位置を外部から指示し、信号伝達遅延時間に関して論理素子の配置を最適とするための半導体集積回路の論理素子配置処理方法に関する。

10

背景技術

半導体集積回路の論理素子配置処理方法に関する従来技術としては、特開平 7-7 3 6 4 3 号公報に記載された技術が知られている。この従来技術は、論理素子の集まりである論理ブロック単位に論理分割して階層的に論理設計されている論理素子群の各論理素子を半導体集積回路の基板の上に、同一論理ブロックに属する論理素子同士を固めて配置しながら、信号伝達時間に関して論理素子の配置を最適とするための論理素子配置処理方法を提供している。

15

前述した特開平 7-7 3 6 4 3 号公報に記載された従来技術は、信号伝達時間に関して論理素子の配置を最適とするための情報を、各論理素子の結線関係により自動で認識して配置処理を行うものである。

20

しかし、従来技術は全ての論理素子間の結線関係を考慮するものであり、近年の半導体集積回路の大規模化により、全ての配置処理を実施するとすれば膨大な処理時間が必要になってくることが予想され、それゆえ短期間での実装設計を妨害する要因となりかねない。

25

しかしながら、信号遅延時間等を考慮する必要のある論理素子は、ある限られた特定の論理素子であり、同様に半導体集積回路を律速するのは、特定の論理素子間の結線に係わる信号伝達時間であり、必ずしも全ての論理素子の配置を最適化する必要がないことがわかった。

- 5 そこで本願発明の目的は、最適な論理素子の配置を行うことにより、短期間で実装設計を行うことのできる半導体集積回路の論理素子配置処理方法を提供することにある。

発明の開示

- 10 上記の目的を達成するために、本発明では、以下の構成とした。
- (1) 少なくとも論理ブロック名称、論理ブロック規模、他論理ブロックとの結線関係の情報により構成される論理ブロックファイルを予め用意し、該論理ブロックファイルより抽出した論理ブロック名称の一覧を論理ブロック名称一覧として表示し、該論理ブロック名称一覧の中から
- 15 選択された任意の論理ブロックを前記基板配置図面上に前記論理ブロックファイルの論理ブロック規模に応じて配置し、配置した論理ブロック間を前記論理ブロックファイルの他論理ブロックとの結線関係に応じて表示させることにより論理ブロックの最適配置を決定する。これによりオペレータは表示画面上で容易に論理ブロックの配置位置が配置可能条件を満たしているかどうかを確認することができ、半導体集積回路の配置位置を決定する際に非常に有効である。
- 20 (2) 論理ブロック間の結線関係と論理ブロック間の配置位置による配置可能条件の対応を示したテーブルを予め用意し、配置可能条件を満たさない論理ブロックについては、その論理ブロックを指摘することによりオペレータに容易に認識可能とする。これによりオペレータは、論理
- 25 ブロックを配置した場所が適当かどうかを容易に把握できる。

(3) 配置可能条件を満たしていない論理ブロックについては、論理ブロックを指定し移動させることにより、配置可能条件を満たす位置に論理ブロックを配置させることができる。

5 図面の簡単な説明

第1図は、本発明の半導体集積回路の配置支援に関する処理フローを示す処理フロー図である。第2図は、本発明による半導体集積回路の階層構造を示す図である。第3図は、本発明による半導体集積回路の階層構造を論理素子レベルで示す図である。第4図は、本発明により表示画面
10 面上での操作例を示す図である。第5図は、本発明により表示画面上での操作例を示す図である。第6図は、本発明により表示画面上での操作例を示す図である。第7図は、本発明により表示画面上での操作例を示す図である。第8図は、本発明により表示画面上での操作例を示す図である。第9図は、本発明により表示画面上での操作例を示す図である。
15 第10図は、本発明による論理ブロック間での接続ネット数とそれに応じたブロック間の距離条件の関係を示す論理ブロック間関係テーブルである。

発明を実施するための最良の形態

20 以下、本発明による実施例を図面を使って詳細に説明する。

まず、第2図は本発明を説明するための半導体集積回路の階層をあらわすものである。ここでは、論理素子（例えば206）の集まりが論理ブロック（例えば202）であり、この論理ブロック（202）は例えばある機能のかたまり単位で分割されている。また、この論理ブロック
25 (202)が集まったもの(202~205)をチップ(201)と呼ぶ。

第3図を使って論理ブロックについてさらに詳しく説明する。

第3図は第2図の階層図を論理素子レベルで表した結線図の例である。

チップ201は4つの論理ブロック(A, B, C, D)から構成されている。これらの論理ブロック間にはそれぞれ接続関係があり、第3図の例では
5 論理ブロックAと論理ブロックCには2本の接続関係が、論理ブロックCと論理ブロックD、論理ブロックBと論理ブロックDには1本の接続関係があることを示している。

以上のことをふまえた上で、本発明の一実施例に係る半導体集積回路の配置支援処理方法の各プロセスの流れを第1図のフローチャートを使って説明する。
10

まず、最低限の情報として前述したチップを構成している論理ブロックの論理規模(例えばゲート数)と自論理ブロックと他の論理ブロックとの接続配線数がわかる論理情報のファイルより、論理ブロックの情報(論理ブロック名称、論理規模、接続のある論理ブロック名称、接続配線数)を抽出して、論理ブロック名称一覧のファイルを作成する(101)。
15

次に半導体集積回路のチップの配置下地となる下地情報を作成する(102)。

下地情報は、例えば、2次元のXY座標で示されるものやマス目のようなものでもよい。次にワークステーションの画面等の表示画面上に、ステップ101とステップ102にて抽出した論理ブロック名称一覧と下地情報をそれぞれ別のウインドに表示する(103)。そして前述の論理ブロック名称一覧を表示したウインドの中から選択された論理ブロックを、別ウインドに表示した下地情報上の配置したい位置を指定して配置する(104)。他の論理ブロックについても、配置が必要であれば、この処理を繰り返す(106)。尚、第5図を説明する際に詳細に述べ
20
25

るが、下地情報に各論理ブロックを配置する際には、各論理ブロックの論理規模を考慮してその論理規模の大きさを反映した大きさを指定された論理ブロックを配置することが考えられる。

5 一通り配置指示が終了したら次に、各論理ブロック間の配線結合度を下地情報のウインド上で表示させる。

具体的手段としては、例えば、結合のある論理ブロック間については、論理ブロック間を線分を渡らせることにより表示する。また、結合度合については、例えば図10のようなテーブルをメモリに設定しておき、このテーブルの配置可能条件に従い論理ブロックを配置した際の信号遅延時間等の関係を表示させる。この際にこのファイルを参照することにより、前述した論理ブロック間の線分の幅を論理ブロックの配置可能条件に合わせて線分を太くしたり細くしたり、また色を変化させたり、また線の太細と色を組み合わせたりする等により変更する(108)。配置可能条件に適合しない場合には、その線分を点滅させたり色を変化させたりすることによりオペレータに知らせる。

10

15

最初に論理ブロックを配置した場所が、信号伝達遅延時間を満足するものであれば(109)、この論理ブロックを配置した状態の配置指示結果をファイルに出力する(113)。

20 信号伝達遅延時間を満足しない等の配置可能条件に適合しない場合には、再度配置位置を変更して結合度を確認する(112)。尚、論理ブロックの再配置のさせ方については第9図により後述することにする。

最後にチップ上の予め配置した特定の論理ブロック以外の信号遅延時間等を考慮する必要のない残りの論理ブロックについてはこの作成されたファイルを自動配置システムに入力することにより配置処理を実施する。

25

以上が本発明の概略であり、この方法により設計者の意図する論理ブ

ロックの配置が行え、信号伝達遅延時間を満足する配置とすることが可能となる。

次に、第4図から第10図の表示画面に表示された論理ブロック名称一覧と下地情報、論理ブロック間関係テーブルを使って第1図にて説明した処理をさらに詳しく説明する。

第4図は、第1図のフローチャートでいうステップ103で論理ブロック名一覧を表示する論理ブロック名ウインド(401)と下地情報を表示する下地ウインド(402)が表示画面上に表示された状態の図である。

第4図では、第3図の論理ブロックA, B, C, Dをそれぞれ、LOGIC-BLOCK-A, LOGIC-BLOCK-B, LOGIC-BLOCK-C, LOGIC-BLOCK-Dと言う名称で表している。

次に、下地ウインドに論理ブロックを配置する処理について第5図を使って説明する。

第5図ではまず、論理ブロック名ウインドをアクティブウインドとして選択し、この中より、配置位置を指定したい論理ブロックを選択する。次に、下地ウインドをアクティブウインドにして、先に選択した論理ブロックを下地ウインド上に配置したい位置を指定することにより配置する。尚、この指定にはマウス等により所定の場所を指定することにより配置することが考えられる。下地ウインド上の論理ブロックの位置を認識する手段としては、XY座標、マス目等を用いることが考えられる。この例では、マス目を使用することにする。この際、基準点を四隅のどこかに定め、そこを(1, 1)として2次元で表現すればよい。

第5図の例では、まず論理ブロックLOGIC-BLOCK-Cを配置位置を指定したい論理ブロックとして選択し、選択された論理ブロックCを配置する場所としてまず下地画面上に矢印等が表示され、オペレータが所望の

配置場所をこの矢印により指定することにより図5のように論理ブロックCが表示されることになる。尚、この例では、論理ブロックを四角形を用いて表現しているが、この四角形の面積は、論理情報のファイルを読み取った時に抽出した論理ブロックの論理規模により、論理ブロックの論理素子を配置するのに必要とされる面積を概算して、それに匹敵する面積を表示することで、実際の配置により近いものとすることができる。これは、あくまでも概算面積なので、四角形でなく、円を用いても、他の矩型を用いてもかまわない。

第5図と同様に第6図では、論理ブロック名ウインドより論理ブロックLOGIC-BLOCK-Aを選択して、その後、選択した論理ブロックAを下地ウインド上の下地情報上に指定する。ここで、論理ブロックAは論理ブロックCに比べ論理素子の数が倍になるので、画面上の表現面積も約倍で表現されることになる。一旦配置を行った後に下地ウインド上の下地情報にて各論理ブロックを認識するには、例えば、論理ブロック名ウインド内の論理ブロック名称の表示色を各々異なる色として、下地情報上の論理ブロックの塗りつぶし色と同じにする等の表現にして容易に対応付けできるようにすることなどが考えられる。また、下地ウインド上の下地情報に配置された論理ブロックをマウスでクリックすることでその論理ブロック近辺にその論理ブロック名称を表示することなども考えられる。

同様の方法で第7図で示すように、LOGIC-BLOCK-B, LOGIC-BLOCK-Dについても配置を行う。

次に第8図により各論理ブロック間の結線関係を表示する処理について説明する。

下地ウインド上の下地情報に所望の論理ブロックの配置が終了すると、例えば第8図に示すような予め作成しておいた結線のオプションウイン

ドのボタンを使って、下地ウインド上の論理ブロック間の結線状態を論理ブロック間にまたがる線分により表示する。この例の場合は、論理ブロックAと論理ブロックC間に接続関係があり、同様に論理ブロックCと論理ブロックD間、そして論理ブロックDと論理ブロックB間が接続関係

5 があることが認識できる。さらに論理ブロック間の配置可能条件を示す場合に、線の太さを変更して表現して表現する方法が考えられる。この線分の太さは例えば第10図に示すようにブロック間のネット数の数により決定して第8図のように表示される。太い線で結合されている論理ブロック間はお互いをより近くに配置することが望まれることが、一旦

10 配置を行い結線関係をこの方法による表示を行えば一目瞭然で認識できる。この例では、論理ブロックAと論理ブロックCが結合度が高いので線が論理ブロックCと論理ブロックD間の接続線や論理ブロックDと論理ブロックB間の接続線よりも太くなっている。線の太さを変更するほか、線の色を変更したり、線の種別、点滅等、その表現方法はいろいろ考え

15 られる。どれを使用するかは、ユーザの使い易いものを使用すればよい。また、論理ブロック間が離れすぎていて、信号伝達遅延時間を満足できないような配置関係にある場合には、配線の点滅等により警告するなどの表現も可能である。

次に、一旦配置を行い結線関係を表示したが、論理ブロックの配置が

20 配置可能条件に適合しない場合に、論理ブロックの配置場所の変更を行う例を第8図、第9図を使って説明する。

第8図により各論理ブロックについて配置を行い結線関係を表示させたが、この表示では論理ブロックAと論理ブロックCは線分が太く、結線関係の度合いが高いものであり、信号伝達遅延時間を満足させるためにはよりこの論理ブロック同士はより近くに配置した方がよいということ

25 になる。よって、例えば第9図のように論理ブロックCの領域を選択・

指定することにより、論理ブロックCを論理ブロックAに近づけるべく上方に移動する。移動させる論理ブロックが配置可能条件を満たすかどうかは、再配置後改めて条件比較を行っても良いし、移動時に現在位置を配置可能条件に照らし合わせ、配置可能条件を満たす位置に来た時点でオペレータに知らせる（例えば、点滅等を止め、通常が表示に戻す）ようにする。また本実施例では論理ブロックBと論理ブロックD間も論理ブロックCと論理ブロックD間と同程度の結線関係を要求されるので適当な位置に論理回路Bを移動させる。このような配置指示により信号伝達遅延時間を満足させる配置が可能となる。

10 このようにして配置された論理ブロックの配置指示の結果を、例えば、論理ブロック名称と2次元座標の組み合わせで配置指示としてファイルに出力して、後に自動配置処理プログラムにおいて、作成されたファイルを入力して、この配置指示を参考に配置位置を決定することで、論理設計者が意図する信号伝達遅延時間を満足させる配置配線が行えることになる。

15 本実施例では、説明を簡単にするため、論理ブロックの数を4つで説明したが、実際の論理設計の世界では、論理規模の大規模化に伴い、数十から数百に及ぶ規模の論理ブロックについて同様の方法で配置できることは言うまでもない。このような論理ブロックの配置位置指定を先に述べた発明の技術を使用して自動配置前にあらかじめ論理設計者がおこなうことで、自動配置の処理を容易にして、高速処理を可能とさせることができる。また、論理を熟知した論理設計者が配置位置を指定することで、信号伝達遅延時間の超過を防ぐ効果は大きい。

20 また、上記実施例は、論理ブロックの配置位置指定を例にしてあげたが、論理ブロックの単位が論理素子1つと考えれば、論理素子単位での配置位置指定も同様の技術で容易に可能であり、信号配線レベルでのよ

り詳細な、信号伝達遅延時間を満足させる配置位置指定が可能となり、目的とする半導体集積回路の実装設計が可能となる。

産業上の利用可能性

- 5 本発明によれば、信号伝達遅延時間制約の厳しい論理の論理素子配置位置決定に際して、論理設計者が意図する配置位置指定を、表示画面上で論理ブロック名と下地情報を表示して対話形式で指定可能とすること、及び、その際に結合度を表示することで容易に可能とすることができる。

- 10 また、意図する論理ブロックや論理素子のみ先行配置し、その配置指示結果を自動配置システムにファイルとして引き渡すことで、残りの論理ブロック又は論理素子を自動配置処理し、よって自動配置処理の信号伝達遅延時間制約考慮の処理アルゴリズムを簡略化でき、処理時間の短縮を行うことができる。

- 15 さらに、全てを自動で配置した場合に比べても、設計者の知識が十分に配置に反映されているため、全体的に信号伝達遅延時間を考慮した最も適した配置配線結果を得ることができる。

請 求 の 範 囲

1. 複数の論理素子によって構成される論理ブロックを半導体集積回路
5 の基板配置図面上に配置うことにより、該論理ブロックの配置位置を決
定する半導体集積回路の配置支援方法であって、

少なくとも論理ブロック名称、論理ブロック規模、他論理ブロックと
の結線関係の情報からなる論理ブロックファイルを予め用意し、

10 該論理ブロックファイルより抽出した論理ブロック名称の一覧を論理
ブロック名称一覧として表示し、

該論理ブロック名称一覧の中から選択された任意の論理ブロックを前
記基板配置図面上に前記論理ブロックファイルの論理ブロック規模に応
じて配置し、

15 配置した論理ブロック間を前記論理ブロックファイルの他論理ブロッ
クとの結線関係に応じて表示させることにより論理ブロックの最適配置
を決定する半導体集積回路の配置支援方法。

2. 請求項 1 に記載の半導体集積回路の配置支援方法において、

論理ブロック間の結線関係と論理ブロック間の配置位置による配置可
能条件の対応を示したテーブルを予め用意し、

20 配置した論理ブロック間を前記論理ブロックファイルの他論理ブロッ
クとの結線関係に応じて表示させる際には、前記テーブルに従って論理
ブロック間の結線度合いを表示する半導体集積回路の配置支援方法。

3. 請求項 2 に記載の半導体集積回路の配置支援方法において、

25 前記テーブルに従う論理ブロックの結線の表示は接続関係のある論理
ブロック間に線分を渡らせることにより表示し、結線の度合い論理ブ
ロック間のネット数に応じて線分の太さを変化させて表示する半導体集

積回路の配置支援方法。

4. 請求項 2 に記載の半導体集積回路の配置支援方法において、
論理ブロック間の結線度合いを表示する際に、前記テーブルによる配置可能条件を満たさない論理ブロックを表示する半導体集積回路の配置支援方法。
5. 請求項 3 に記載の半導体集積回路の配置支援方法において、
論理ブロック間の結線度合いを表示する際に、前記テーブルによる配置可能条件を満たさない論理ブロック間の線分の表示を変化させる半導体集積回路の配置支援方法。
10. 6. 請求項 5 に記載の半導体集積回路の配置支援方法において、
前記線分の表示の変化は該線分を点滅させることにより行う半導体集積回路の配置支援方法。
15. 7. 請求項 4 に記載の半導体集積回路の配置支援方法において、
配置可能条件を満たさない論理ブロックを再配置し、再配置後にさらに配置可能条件を確認する半導体集積回路の配置支援方法。
8. 請求項 5 に記載の半導体集積回路の配置支援方法において、
配置可能条件を満たさない論理ブロックを再配置し、再配置後にさらに配置可能条件を確認する半導体集積回路の配置支援方法。
20. 9. 請求項 5 に記載の半導体集積回路の配置支援方法において、
配置可能条件を満たさない論理ブロックを指定して再配置を行う半導体集積回路の配置支援方法。
10. 請求項 9 に記載の半導体集積回路の配置支援方法において、
再配置を行った後、改めて配置可能条件を満たすかどうかを確認する半導体集積回路の配置支援方法。
25. 11. 請求項 9 に記載の半導体集積回路の配置支援方法において、
再配置を行う際、指定した論理ブロックを移動させる途中で変化させ

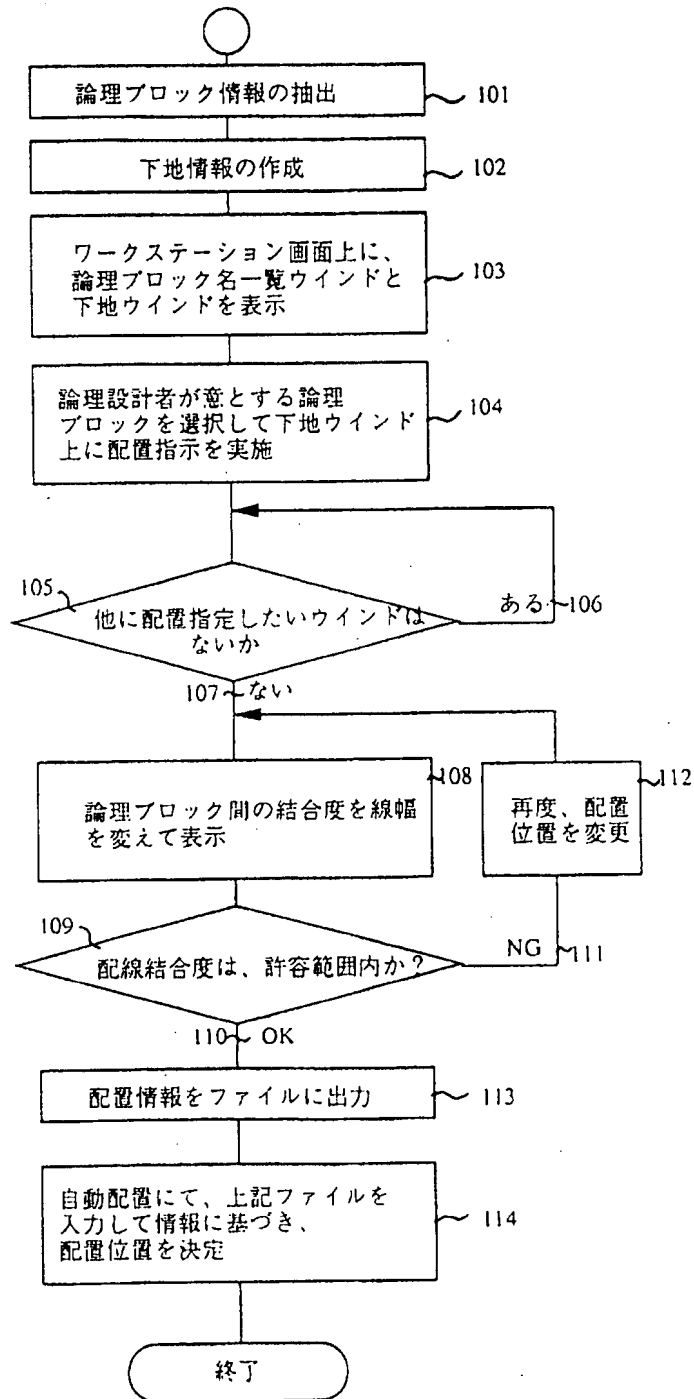
ていた線分の表示を解除する半導体集積回路の配置支援方法。

12. 請求項10に記載の半導体集積回路の配置支援方法において、

配置可能条件を満たした論理ブロックの配置位置を出力する半導体集積回路の配置支援方法。

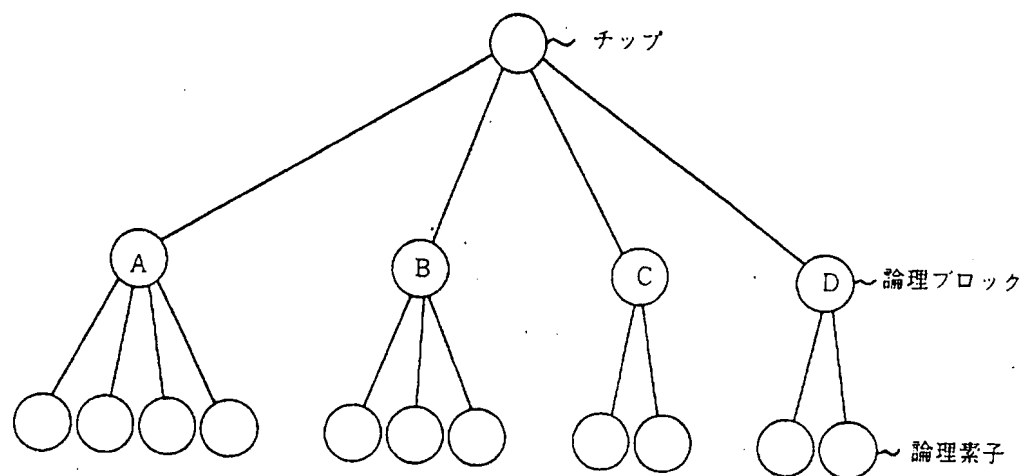
1/10

第1図



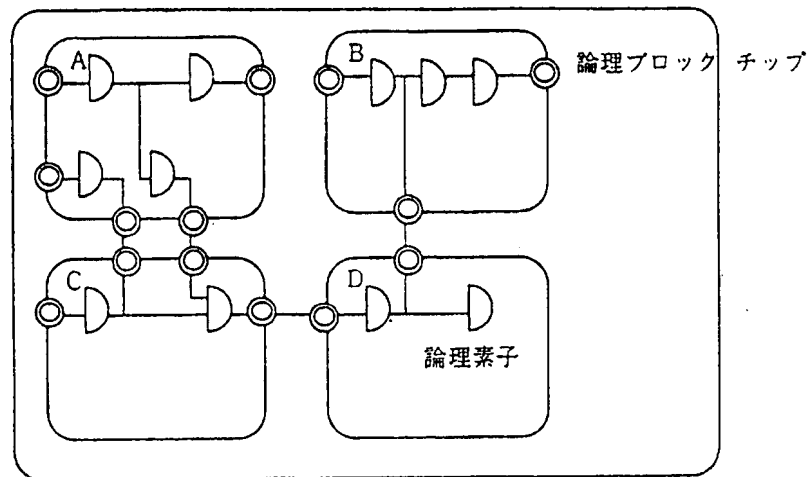
2/10

第2図



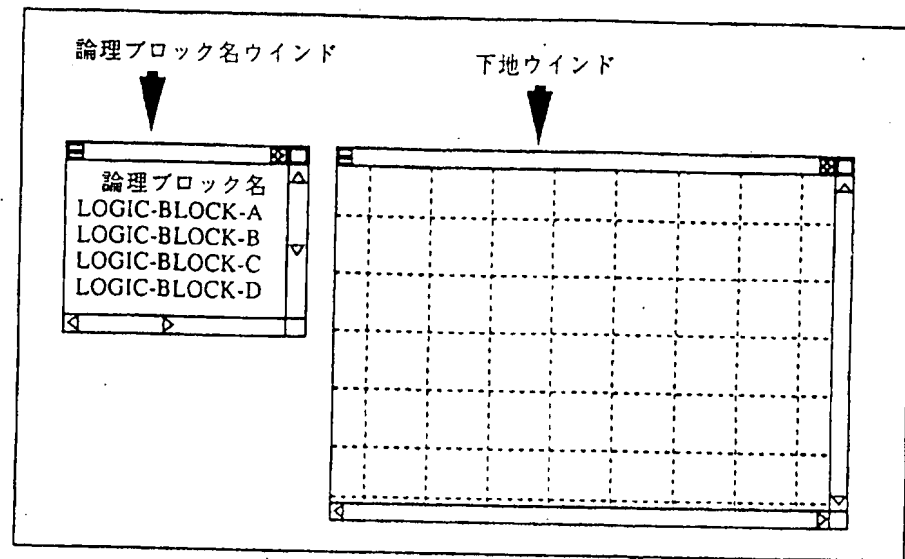
3/10

第3図



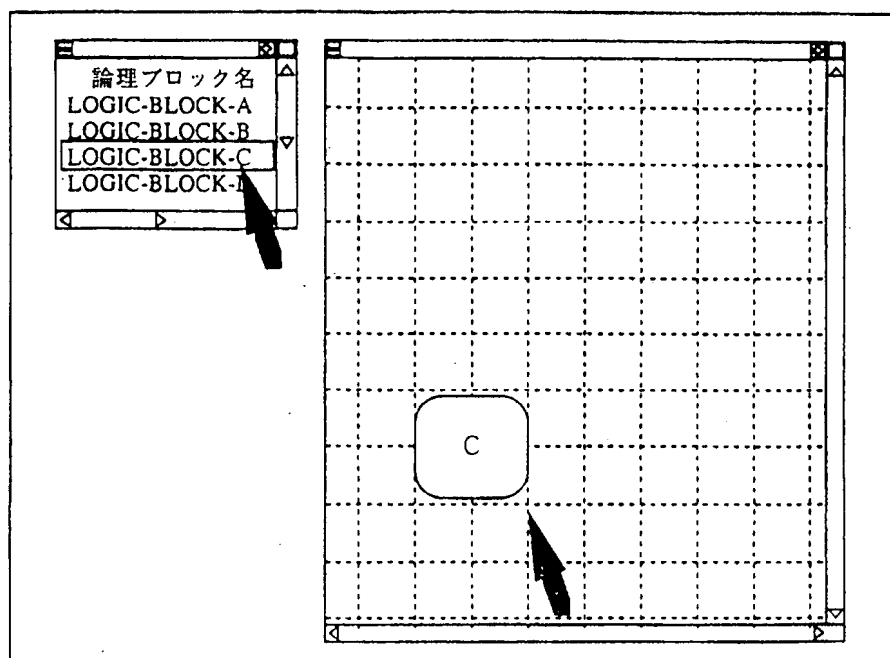
4/10

第4図



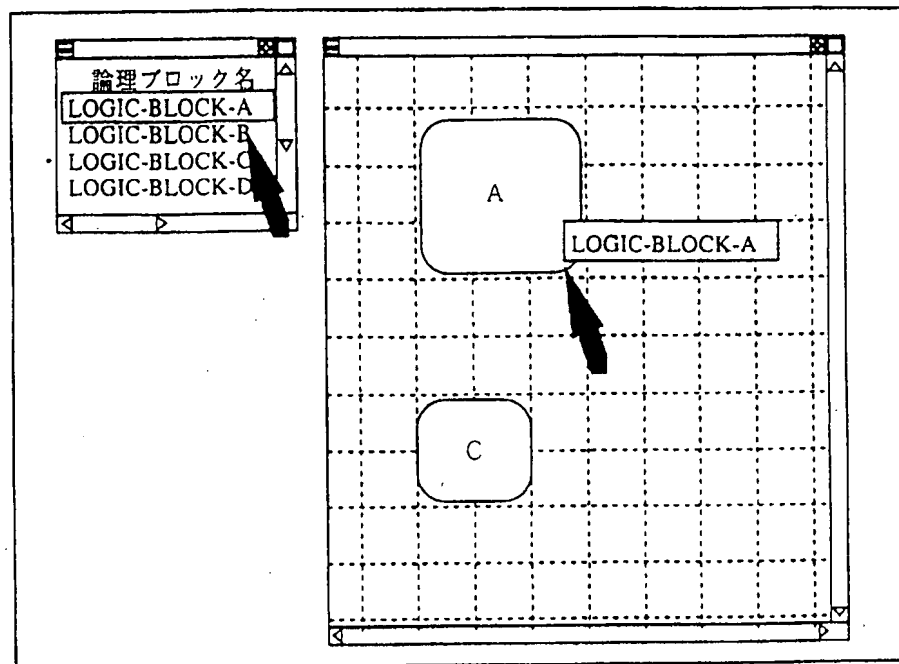
5/10

第5図



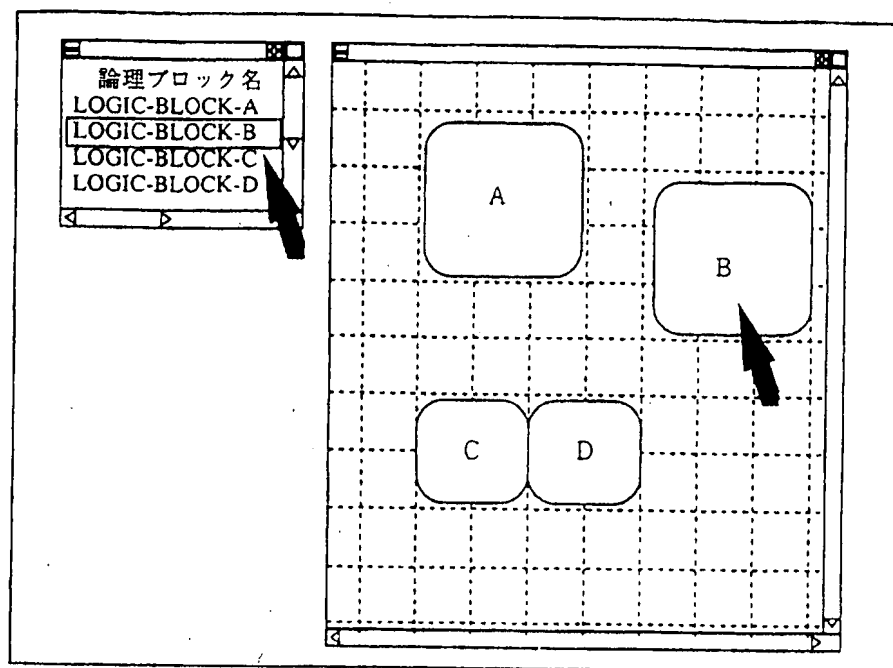
6/10

第6図



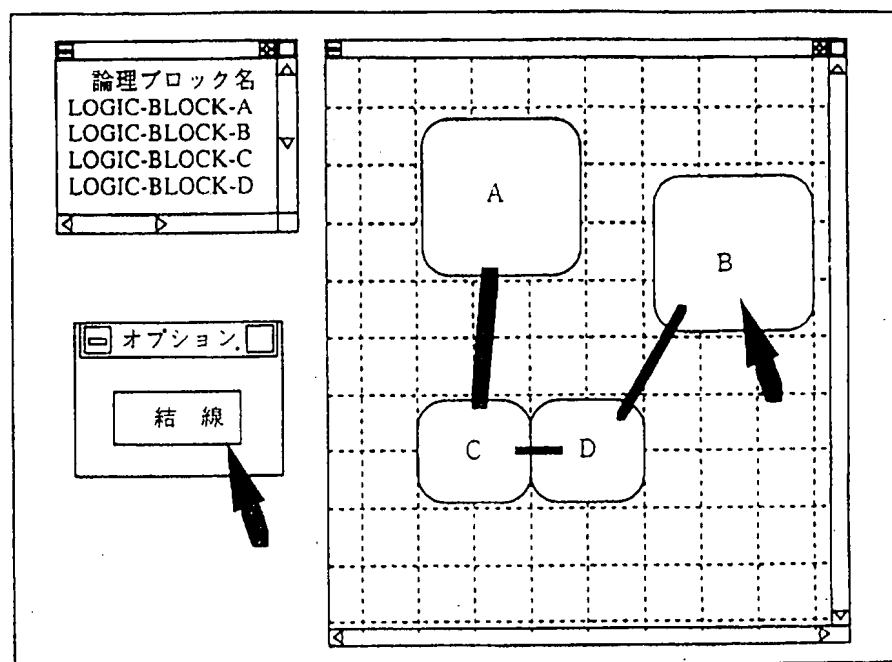
7/10

第7図



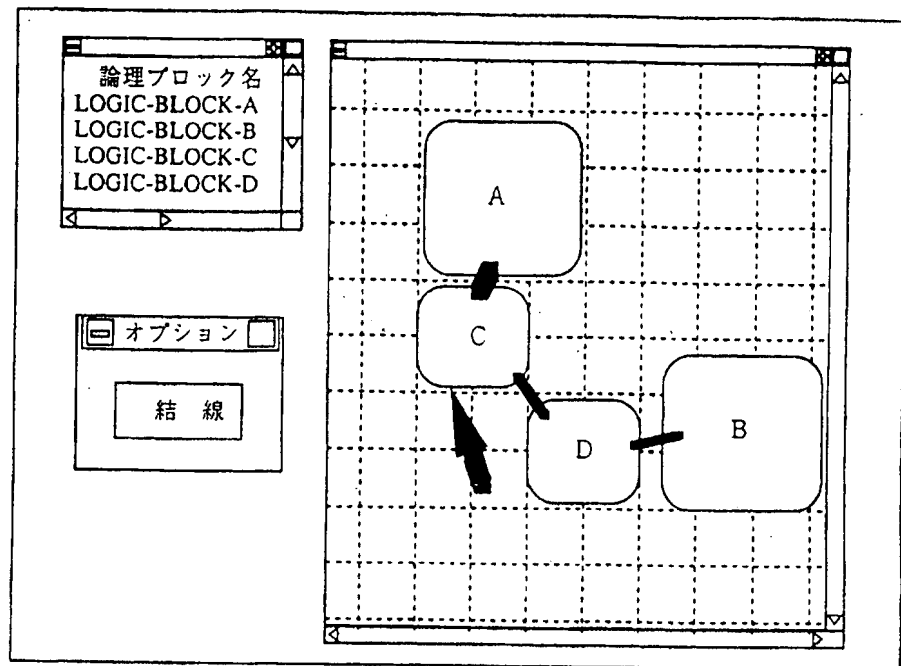
8/10

第 8 図



9/10

第9図



10/10

第10図

ブロック間ネット数	ブロック間距離
0～5	1000ミクロン
6～10	800ミクロン
11～15	600ミクロン
16～20	400ミクロン
⋮	⋮
⋮	⋮

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02657

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-236419, A (Kyocera Corp.), August 23, 1994 (23. 08. 94) (Family: none)	1 - 12
A	JP, 4-238578, A (NEC Corp.), August 26, 1992 (26. 08. 92) (Family: none)	1 - 12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

October 31, 1996 (31. 10. 96)

Date of mailing of the international search report

November 19, 1996 (19. 11. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁶ G 06 F 17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁶ G 06 F 17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-236419, A (京セラ株式会社) 23. 8月. 1994 (14. 08. 94) (ファミリーなし)	1-12
A	J P, 4-238578, A (日本電気株式会社) 26. 8月. 1992 (26. 08. 92) (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31. 10. 96

国際調査報告の発送日

19.11.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 幸雄



5H

9191

電話番号 03-3581-1101 内線 3532